

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-006891  
 (43)Date of publication of application : 14. 01. 1993

(51)Int. Cl. H01L 21/3205  
 H01L 21/90

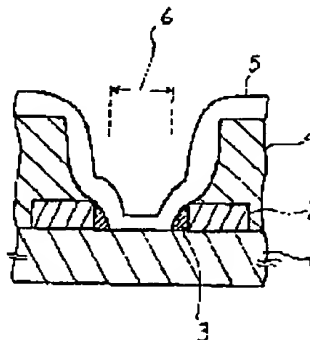
(21)Application number : 03-155022 (71)Applicant : FUJITSU LTD  
 (22)Date of filing : 27. 06. 1991 (72)Inventor : KARASAWA AKITAKA

### (54) MANUFACTURE OF SEMICONDUCTOR DEVICE

#### (57)Abstract:

**PURPOSE:** To improve coverage ratio of wiring metal even if an aspect ratio of a hole is large by previously forming a stopper film at a position for surrounding a hole near a bottom of a hole to be formed and forming a sidewall on its inner wall.

**CONSTITUTION:** A polysilicon film 2 is deposited on a silicon substrate 1, and patterned to form a polysilicon film pattern (stopper film). Then, after an SiO<sub>2</sub> film is deposited, it is coated with SOG to flatten the surface. A resist pattern is formed on an insulator layer 4, and with it as a mask it is isotropically etched until it reaches the surface of a stopper 2. Then, the region of the layer 4 to be surrounded by the stopper 2 is reactive ion etched until the surface of the substrate 1 is exposed to form a sidewall 3 on the inner wall of the stopper 2. Thus, generation of a wiring metal thin layer on a tapered surface is prevented, and wiring metal 5 deposited in the hole 6 becomes substantially uniform to improve its coverage ratio.



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against  
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998, 2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-6891

(43) 公開日 平成5年(1993)1月14日

(51) Int.Cl. <sup>5</sup>	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 21/3205				
21/90	A	7353-4M		
		7353-4M	H 0 1 L 21/88	F

審査請求 未請求 請求項の数1(全 4 頁)

(21) 出願番号 特願平3-155022

(22) 出願日 平成3年(1991)6月27日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 柄沢 章孝

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

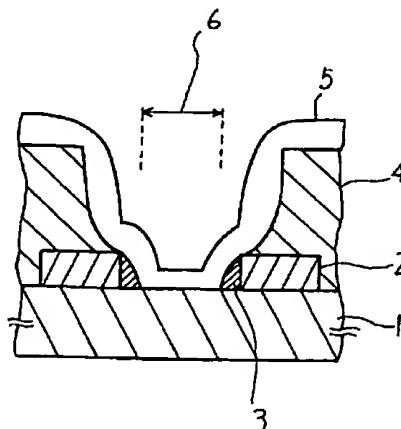
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 本発明は、スルーホール或いはコンタクトホールにおける配線メタルのカバレッジ率の改善に関し、ホールのアスペクト比が大きい場合においても配線メタルのカバレッジ率を改善することが可能な方法を提供することを目的とする。

【構成】 形成されるホールの底部近傍の、該ホールを囲む位置に、予めストッパー膜を形成する工程と、該ストッパー膜の内壁にサイドウォールを形成する工程とより構成する。

本発明の原理説明図



1

## 【特許請求の範囲】

【請求項1】 基板上に第1の開口部を有する第1の絶縁膜を形成する工程と、該第1の開口部を含む第1の絶縁膜上に、第1の絶縁膜上とは異なる第2の絶縁膜を形成し、表面を平坦化する工程と、前記第2の絶縁膜上に、前記第1の開口部に対応する位置に第2の開口部を有するマスク層を形成する工程と、該マスク層をマスクとして、前記第2の絶縁膜を等方性エッチングし、前記第1の絶縁膜表面までエッチングする工程と、該マスク層をマスクとして、前記第1の開口部内に埋め込まれている第2の絶縁膜層を異方性エッチングし、第1の絶縁膜層の側壁にサイドウォールを形成する工程と、前記マスク層を除去した後、前記工程により形成されたコンタクトホール上に配線層を形成する工程を有することを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、スルーホール或いはコンタクトホールにおける配線金属のカバレッジ率の改善に関する。

【0002】 近年における半導体デバイスの微細化、高集積化の傾向に伴い、スルーホール或いはコンタクトホール（以下単にホールと呼ぶ）は微細化し、そのために配線金属は高い信頼性が要求されるようになってきている。そのためにホールにおいては、配線金属の高いカバレッジ率が必要不可欠になっている。

## 【0003】

【従来の技術】 通常、ホールにおけるカバレッジ率は、ホール内の側壁に堆積する金属層の厚さ(b)とホール外の周辺表面に堆積する金属層の厚さ(a)の比(b/a)で表し、1より小さい値である。若し、ホール内の側壁に堆積する金属層の厚さが一様でない場合には、bとして最小の厚さをとる。

【0004】 従来、カバレッジ率を改善する(1に近づけること)するためには、ホールの側壁にテーパー部を設け、摺鉢型ホールを形成することにより行っていた。図4(a)は、従来のホールに設けられた金属配線の一例を模式的に示す図である。図において21は基板、24は絶縁膜層、25は配線金属、26はホールの基板表面における開口部である。図において、先ず絶縁膜24上に、開口部26を有するマスク層(図示せず)を形成した後、該マスク層を介して絶縁膜24を途中で等方性エッチングした後、同じマスクを用いて残りの絶縁膜24を異方性エッチングしてコンタクトホールを形成する。次いでコンタクトホールの底面、側面並びに摺鉢部のテーパー面に配線金属を堆積する。

## 【0005】

【発明が解決しようとする課題】 しかし、近時LSI、VLSIにおいては、ホール口径の微細化のみならず、アスペクト比(ホールの深さと口径の比)も大きくなってきて

2

いる。アスペクト比が大きい場合には、図4(b)に示されるように、ホール底部のコーナに配線金属の薄層部が生じ、その結果テーパー面上においても配線金属の薄層部が生じ易く、配線の接触不良、更には断線を招くことがある。そのため、これまでのように単に、ホールの側壁にテーパー部を設ける方法によってカバレッジ率を改善することは殆ど困難である。

【0006】 そこで、本発明は、ホールのアスペクト比が大きい場合においても配線金属のカバレッジ率を改善することが可能な方法を提供することを目的とする。

## 【0007】

【課題を解決するための手段】 上記の問題は、形成されるホールの底部近傍の該ホールを囲む位置に、予めストッパー膜を形成する工程と、該ストッパーの内壁にサイドウォールを形成する工程とを有する配線金属形成方法によって解決される。

【0008】 図1は本発明の原理説明図である。図において2は半導体基板1の上に設けられたストッパー、3はストッパー2の内壁に設けられたサイドウォール、4は該ストッパー2を覆って、ホール6用の開口を有する絶縁膜、5はホール6を覆って形成される配線金属である。

## 【0009】

【作用】 図1において、ストッパー膜2が存在することによって絶縁膜4の等方性エッチングのみで、ホール6と同心的にテーパー面を有する摺鉢部を形成することができる。更に、又、ストッパー膜2の内壁にサイドウォールを形成することによりSi基板1に垂直なストッパー膜2の側壁を被覆し、ホール6の底周辺部の形状を滑らかにすることで、ホール底部コーナにおける配線金属薄層部の発生を防止する。その結果、テーパー面上における配線金属薄層部の発生も防止され、配線金属のホール6への堆積は略一様になり、カバレッジ率が向上する。

## 【0010】

【実施例】 本発明の実施例について、図を参照しながら以下に説明する。図2、3は本実施例である、通常のMOSFET製造工程の中において、ホールの金属配線製造における各ステップを説明する図である。

【0011】 先ず、図2(a)に示されるように、シリコン(Si)基板1に、厚さ100乃至200nmのポリSi膜2を堆積し、形成せんとするサイズが約1μmのホール6の位置に対応するパターニングを行なって、ポリSi膜パターン2を形成する。このポリSi膜パターン2が後にエッチングのストッパー膜2となる。

【0012】 続いて、図2(b)に示されるように、Si基板1表面の露出した部分を埋め、又、ポリSi膜パターン2を覆って全面に、厚さ約100乃至200nmの二酸化シリコン(SiO<sub>2</sub>)膜4'を堆積した後、スピニングガラス(SOG)4'を全面に塗布して表面を平坦化する。即ち、ポリSi膜

3

パターン2は二酸化シリコン( $\text{SiO}_2$ )膜4'とスピノングラス(SOG)4''より成る、厚さ約500nmの絶縁体層4により埋め込まれた形になる。尚、二酸化シリコン( $\text{SiO}_2$ )の代わりに、磷珪酸ガラス(PSG)を用いることも可能である。

【0013】次に、図2(c)に示されるように、絶縁体層4の上にレジスト膜を形成し、ポリSi膜パターン2の位置に対応するパターニングを行って、レジストパターン7を形成する。

【0014】次に、図3(d)に示されるように、レジストパターン7をマスクにして、絶縁層4に対し、ストッパー2の表面に達するまで等方性エッチングを行う。エッチングには、弗酸溶液のような、ストッパー2のポリSi膜と絶縁層4との選択比を有する溶液によるウェットエッチングが用いられる。

【0015】次いで、図3(e)に示されるように、レジストパターン7をマスクにして、ストッパー2で囲まれる絶縁体層4領域に対して、Si基板1表面が露出するまで反応性イオンエッチング(RIE)を行う。RIEにはフロン系のガスのような、ストッパー2のポリSi膜と絶縁層4との選択比を有するガスが用いられる。

【0016】この工程において、ストッパー2の内壁にはサイドウォール3が形成される。最後に、図3(f)に示

4

されるように、形成されたホール6にアルミニウム(Al)のような配線メタルが堆積されてホールに対する配線が工程が完了する。

【0017】

【発明の効果】本発明によって、アスペクト比の大きいホールに対する配線メタルのカバレッジ率は、従来よりも格段に改善され、その結果、LSI、VLSI製造の歩留まり、及び信頼性の著しい向上が可能になる。

【図面の簡単な説明】

【図1】 本発明の原理説明図

【図2】 本発明の実施例を示す図(その1)

【図3】 本発明の実施例を示す図(その2)

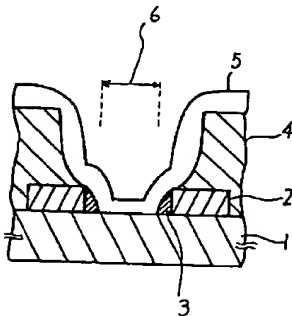
【図4】 従来例の説明図

【符号の説明】

- |       |                  |
|-------|------------------|
| 1, 21 | Si基板             |
| 2     | ストッパー膜           |
| 3     | サイドウォール          |
| 4, 24 | 絶縁膜層             |
| 4'    | $\text{SiO}_2$ 膜 |
| 4''   | SOG 膜            |
| 5, 25 | 配線メタル            |
| 6, 26 | コンタクトホール開口部      |
| 7     | レジストパターン         |

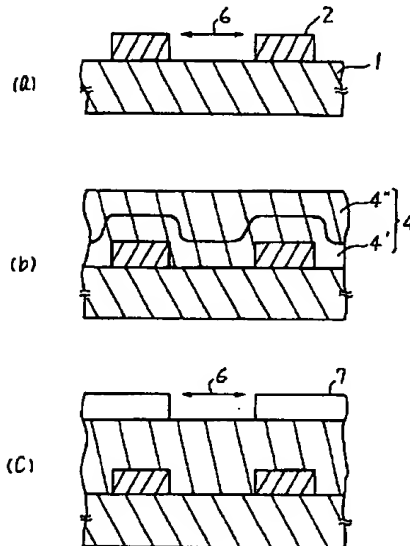
【図1】

本発明の原理説明図



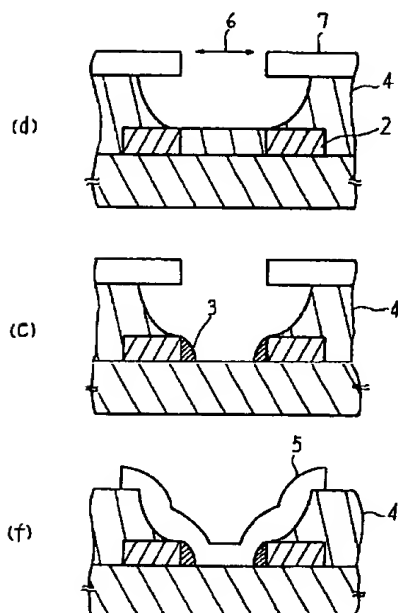
【図2】

本発明の実施例を示す図(その1)



【図3】

本発明の実施例を示す図(その2)



【図4】

従来例の説明図

